

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-114510

(43)Date of publication of application : 02.05.1995

(51)Int. Cl.

G06F 13/28

(21)Application number : 05-260629 (71)Applicant : HITACHI LTD

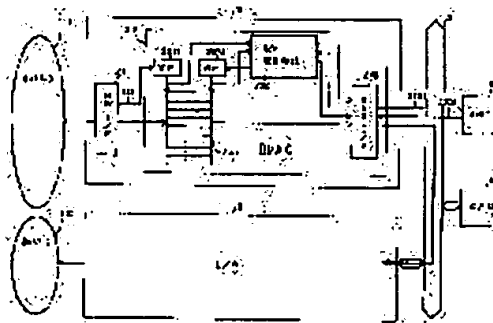
(22)Date of filing : 19.10.1993 (72)Inventor : HIRAHATA KENJI
MOCHIDA TETSUYA
WATABE KEN
SAWADA SUNAO
SATO HIROSHI

(54) CONTROL SYSTEM FOR FIFO THRESHOLD VALUE CONTROL DMA

(57)Abstract:

PURPOSE: To eliminate the need for DMA actuation by a processor and to efficiently use FIFO in an I/O by providing a circuit which detects the conditions of the DMA actuation in I/O, making the I/O perform the DMA actuation by itself and control the actuation conditions by itself.

CONSTITUTION: A control circuit DMAC 23 is so constituted that DMA from an I/O 2 having transfer data to a transfer destination I/O 5 is actuated when the number of data in the FIFO 231 of the I/O 2 exceeds a certain threshold value. The DMAC 23 is provided with a threshold value control means which dynamically varies the data quantity threshold value for actuating the DMA according to the use state of the FIFO 231. Then the amount of data taken in from a network 11 is monitored by the DMAC 23 at all times and compared with the threshold value, the bus right for a bus where the transfer destination is present is requested on condition that they match each other, and thus the bus right is obtained to perform the DMA. Further, the threshold value is dynamically varied to a proper value each time DMA is performed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-114510

(43)公開日 平成7年(1995)5月2日

(51) Int.Cl.⁶

G O 6 F 13/28

識別記号

3 1 0 J

庁内整理番号

8944-5B

F I

技術表示箇所

審査請求 未請求 請求項の数4 OL (全 5 頁)

(21)出願番号

特願平5-260629

(22) 出願日

平成5年(1993)10月19日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 平畑 健児

神奈川県横浜市戸塚区吉田町292番地株式会社日立製作所システム開発研究所内

(72) 発明者 持田 哲也

神奈川県横浜市戸塚区吉田町292番地株式会社日立製作所システム開発研究所内

(72) 発明者 渡部 誠

神奈川県横浜市戸塚区吉田町292番地株式会社日立製作所システム開発研究所内

(74)代理人 弁理士 小川 勝男

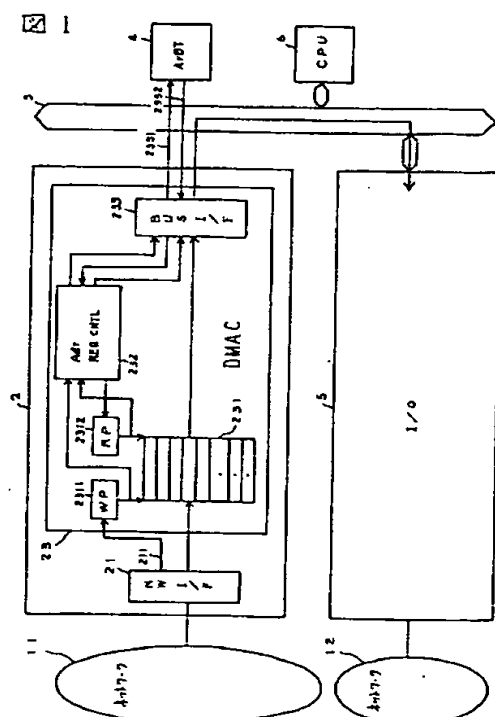
最終頁に続く

(54) 【発明の名称】 F I F Oしきい値制御DMA制御方式

(57) 【要約】

【目的】 I/O sからのデータの取こぼしが発生することを防ぐために、プロセッサの起動によらないDMA起動、起動条件制御を実現すること。

【構成】データ元のI/OにFIFO、DMACを設ける。このDMACは転送データを有するI/Oから転送先I/OへのDMAを開始するためにI/O内に蓄積される転送用データ量を、FIFOのライトポイントを見ることにより監視する。また、このDMACには、I/OのFIFO内のデータ量が特定値に達したことをDMAシーケンスに移るきっかけとするために、しきい値を設定するためのレジスタを設ける。さらにこのしきい値をネットワークの実際のトラフィック量に応じて動的なものにするためにしきい値制御回路を設ける。



【特許請求の範囲】

【請求項1】 転送元I/O装置から転送先I/O装置へのDMA制御方式であって、該転送元I/O装置は内部にDMA制御装置を有し、該DMA制御装置は転送元I/Oがネットワークから取り込むデータを蓄積するFIFOおよび該FIFO内に蓄積されたデータの個数があるかじめ該DMA制御装置内部の設定手段に設定されたしきい値と一致、または越えたことを検出して転送先I/O装置が存在するバスへのデータ転送を開始する手段を有することを特徴とするFIFOしきい値制御DMA 10 制御方式。

【請求項2】 転送元I/O装置から転送先I/O装置へのDMA制御方式であって、該DMAを行う手段は転送元I/Oの内部に存在し、同じく転送元I/Oの内部に存在し転送元I/Oがネットワークから取り込むデータを蓄積するとともにその蓄積数を内部の設定手段に設定されたしきい値と比較することにより一致、または越えたことを検出する手段を有するFIFOとのインタフェースにより、転送先I/Oへの転送を開始する手段を有 20 することを特徴とするFIFOしきい値制御DMA制御方式。

【請求項3】 内部に蓄積したデータの個数をカウントする手段と、外部から任意の値を設定するための手段を有し、さらに該カウント値と該設定値と比較する手段を有し、比較結果を外部に通知するための手段を有することを特徴とするFIFOしきい値制御DMA制御方式。

【請求項4】 転送元I/O装置から転送先I/O装置へのDMAにおいて、DMA開始の条件として、転送元I/Oがネットワークから内部のFIFOに取り込んだデータ量とあらかじめ内部の設定手段に設定された値との 30 比較を行う手段の出力を用いるDMA制御方式であって、該設定手段に設定された値を動的に増減するしきい値制御回路を有することを特徴とするFIFOしきい値制御DMA方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、異なるネットワークに存在するI/O間のDMA制御装置に係り、プロセッサによるDMA起動を削減したDMA方式に関する。

【0002】

【従来の技術】 図3に示すようなシステムでシステムバスまたはネットワークからのデータを、他のI/OにへDMAで転送するDMACを有するシステムにおいて、例えばDMACがプロセッサバスのバス権を確保できるタイミングとシステムバス（またはネットワーク）からデータが出力されるタイミングとの時間差を吸収するためにDMAC内にFIFOで構成されたバッファメモリを置いて転送データをプロセッサのバス権利が確保できるまでの間これを保持しておく技術がある。またプロセッサにバーストモードなどの高速転送モードがある場 50

合、これを使ってプロセッサバスを有効に利用するため、ある一定量データをバッファメモリ内に確保する工夫もある。

【0003】 ところがバッファメモリの大きさと転送頻度、バス権獲得の割合などの要素からバッファメモリがオーバーランまたはアンダーランしてしまう場合があった。オーバーラン、アンダーランが発生しなくとも、起動されているDMAの性質によりバッファメモリが空きになっていることが多かったり、また、すぐにフルになるような差が発生する可能性があった。この問題を解決するものとしては特開平4-364556号公報で先取りバッファ制御について開示されているように、データを送出（受信）するチャネル装置の性能に応じてバッファ容量の割当てを行うような技術があった。

【0004】

【発明が解決しようとする課題】 前記チャネル装置の性能に応じてバッファ容量の割当てを行うような技術では、チャネル装置ごとの性能をあらかじめDMACが記憶しておくか、またはDMAが起動されているチャネル装置から何らかの方法で自身の転送能力をDMACに知らせる方法が必要であった。そのためチャネル装置からDMACへの接続線が増えたり、またチャネル装置を付加する時その転送能力をDMACにセットしなければならないなどの問題があった。本発明はそのような特別な転送能力情報を管理することなく適切なバッファ量管理を行うようなDMACを提供する。

【0005】

【課題を解決するための手段】 上記問題点を解決するため、転送データを有するI/Oから転送先I/OへのDMAを、転送データを有するI/OのFIFO内のデータの個数があるしきい値を越えたら起動するように制御回路を構成し、この制御回路にはDMAが起動されるためのデータ量しきい値をFIFOの使用状況に応じて動的に変化させるためのしきい値制御手段を設ける。

【0006】

【作用】 本発明に係るDMA方式によれば、ネットワークからデータを取り込むI/O内のデータ量をDMACが常に監視してしきい値と比較を行い、一致したことを条件として転送先のI/Oが存在するバスのバスマスタ 40 に対してバス権要求を行い、バス権を得るとDMAを行う。そしてDMAを行う毎にしきい値を適切なものに動的に変化させる。

【0007】 DMAを終了する条件は通常のDMAの通り、あらかじめプロセッサにより設定された転送語数に従うか、またはFIFOが空になることによるものとする。

【0008】

【実施例】 以下、本発明に係るDMAの実施例を説明する。図1は本発明によるDMAを行うシステムの構成例である。2はネットワークのデータを取り込んでI/O

5に転送するためのI/Oであり、ネットワークからのデータはネットワークとのインタフェースを行うネットワークインタフェース部21によってI/O2内部のDMAC23が有するFIFO231に取り込まれ、この際インクリメントパルス211により逐次ライトポイント2311の値がインクリメントされる。ライトポイント2311の値はアドレス/リクエストコントロールユニット232中のFIFOステータス検出部2324に入力される。このFIFOステータス検出部2324はライトポイント2311とリードポイント2312の値よりFIFOのフル、エンプティ状態を検出するとともに、FIFO内のデータの個数を起動用コンパレータ2325aに出力するものである。

【0009】以上のシーケンスを繰返し、ネットワークインタフェース部21によりFIFO22内に蓄えられたデータ量がしきい値レジスタ2321aの値と等しくなると起動用コンパレータ2325aの出力が有効になりリクエストジェネレータ2327がセットされてリクエスト信号2327aが出力され、バスインタフェース部233を介してバスアービタ4に対してバス権要求信号2331によるバス権要求が行われる。

【0010】この後I/O2へのバス権許可信号2332が出力されるとFIFO231のデータはバスインタフェース部233を介して転送先I/O5に転送される。この際、バスインタフェース部233は転送アクノレッジ信号2333を生成し、これによりリードポイント2312が更新されて逐次、バスインタフェース部233に入力されるFIFOデータの値が変化する。また転送アクノレッジ信号2333は、I/O5への転送語数をカウントする転送量カウンタ2326にも入力される。また、転送先のI/OがFIFO構造でない場合にはアドレス生成部2328によるアドレスが出力されるが、このアドレス更新にも転送アクノレッジ信号を用いる。

【0011】DMAの終了をバイトカウントレジスタ2323に従うかFIFO231が空になることによるかを選択するためのモードレジスタ2322が、バイトカウンタレジスタの設定値に従うものとして設定されている場合には、I/O2からI/O5への転送が繰返し行われてFIFO231内のデータ量がバイトカウントレジスタ2323の値に等しくなった時点で有効になる終了用コンパレータ2325bの出力によりリクエストジェネレータ2327がリセットされる。一方モードレジスタ2322がバイトカウントレジスタ2323に従わないものとして設定されている場合には、FIFOステータス検出回路2324がエンプティ信号2324aを出力した時点でリクエストジェネレータ2327がリセットされる。

【0012】しきい値制御回路2321は、内部に有するしきい値レジスタ2321aの値をDMAの実行ごと

に更新する。この回路の構成例として、DMAを開始してから、リクエストジェネレータ227のリセット信号が発生するまでの間にFIFOステータス検出回路2324がオーバーフロー信号2324aを出力しなかった場合には、しきい値レジスタ2321aの値をインクリメントする。逆にオーバーフロー信号2324aが検出された場合にはしきい値レジスタ2321aの値をデクリメントする。この要領でDMAを繰り返すうちにしきい値は動的に適切な値をとる。

【0013】以上はDMACがFIFOを内蔵する場合について述べたが、しきい値の検出手段、すなわちしきい値制御回路2321を有する新しいFIFOを考慮した場合、図3に示すようにそのようなFIFOをDMAC外に置いて、DMACをアドレス/リクエストジェネレータとすることも想定できる。

【0014】

【発明の効果】以上のように本発明によれば、I/O内部にDMA起動の条件を検出する回路を設けたことによりI/O自らがDMA起動を行い、かつ起動条件をI/Oが自ら制御するため、プロセッサによるDMA起動が不要になるとともにI/O内のFIFOを効率的に使用する。

【図面の簡単な説明】

【図1】本発明を用いたDMA方式を適用するシステム図である。

【図2】本発明を実現するDMAコントローラの一部を示す図である。

【図3】本発明を用いたDMA方式を適用するシステム図である。

【図4】ネットワーク上のI/Oから他のI/Oへのデータ転送を行うシステムの構成図である。

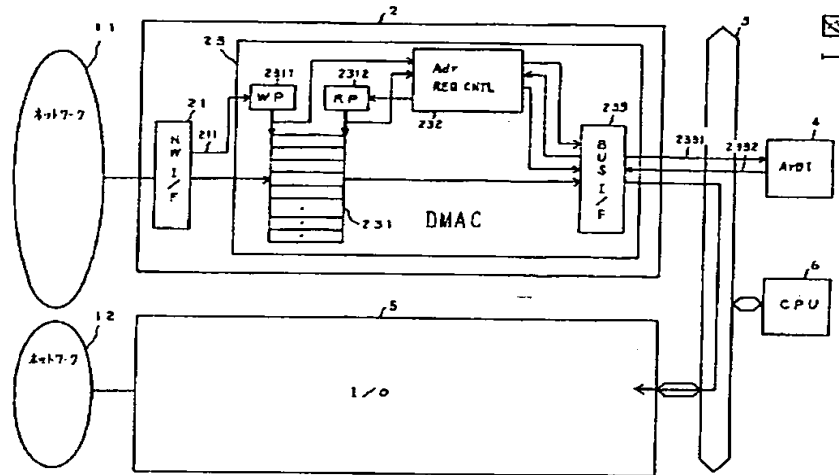
【符号の説明】

11、12…ネットワーク、2…ネットワークのデータをメモリに転送するI/O、21…ネットワークインタフェース部、211…ライトポイント更新信号、22…DMACに内蔵されない場合のFIFO、23…DMAコントローラ、231…FIFO、2311…FIFO用ライトポイント、2312…FIFO用リードポイント、2321…しきい値制御回路、2321a…DMA起動しきい値レジスタ、2322…DMA終了用モードレジスタ、2323…バイトカウントレジスタ、2324…FIFOステータス検出回路、2324a…オーバーフロー信号、2324b…エンプティ信号、2324c…FIFO内データ量信号、2325a…DMA起動用コンパレータ、2325b…DMA終了用コンパレータ、2326…転送語数カウンタ、2327…DMAリクエストジェネレータ、2327a…DMAリクエスト信号、2328…転送先アドレスジェネレータ、2328a…アドレスレジスタ、2328b…アドレスインクリメンタ、2328c…転送先アドレス、233…バ

スイインタフェース部、2331…バスリクエスト信号、
2332…バスアクノレッジ信号、2333…転送アク
ノレッジ信号、3…I/O2を有するシステムのバス、

4…アービタ、5…転送先I/O、6…プロセッサ、6
1 プロセッサによるレジスタ設定バス。

【図1】



【図2】

